

JP Abstract

Title: Display device

1. Country: JP (Japan)

2. Application Number: 1986-035668 (1986.02.19)

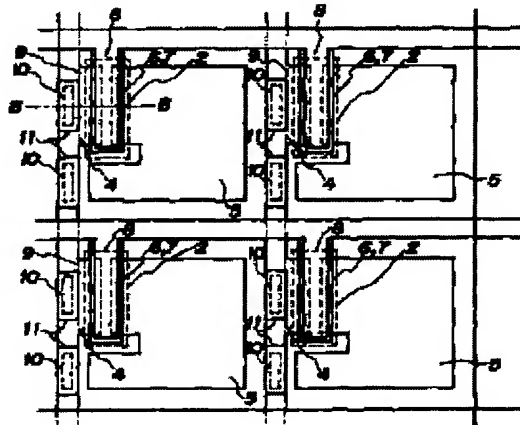
4. Inventor: Sakamoto Hiro Kazu

5. Publication Number: 1987-192783 (1987.08.24)

6. Abstract

[claim 1] A display device including two substrates and a display element disposed between the substrates, and the display element including liquid crystals or electro-chromic materials, etc., wherein a thin film transistor (TFT) array substrate as one of two substrates includes a light blocking layer, a passivation layer, a source electrode wire, a drain pixel electrode, a semiconductor layer, a gate insulating layer, which are sequentially formed on a transparent substrate, and a gate electrode formed on the transparent substrate to be the uppermost layer of the TFT array substrate, the display device comprising: a second source wire formed on the transparent substrate with the light blocking layer, wherein the second source wire is electrically connected to the source electrode wire in parallel, and wherein the second source wire and the source electrode wire define a source wire having a double layer.

7. Representative drawing



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-192783

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)8月24日

G 09 F 9/30
9/35
H 01 L 27/12
29/78

6731-5C
6731-5C
7514-5F
8422-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 表示装置

⑯ 特 願 昭61-35668

⑰ 出 願 昭61(1986)2月19日

⑱ 発 明 者 阪 本 弘 和 尼崎市塚口本町8丁目1番1号 三菱電機株式会社材料研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

表示装置

2. 特許請求の範囲

(1) 透明絶縁性の基板上に下層から遮光膜、パッシベーション層、ソース電極配線とドレイン画素電極、半導体層、ゲート絶縁膜、最上層にゲート電極を有するとともに上記基板上に上記遮光膜形成時に同時に形成され上記ソース電極配線と2層配線となる第2のソース配線とを有する薄膜トランジスタアレイ、この薄膜トランジスタアレイの基板と透明電極およびカラーフィルタなどを有する対向電極基板との間に液晶またはエレクトロクロミック材料などの表示材料を有する表示装置。

(2) 第2のソース配線はコンタクトホールを通してコンタクト膜によりソース電極配線と接続されることを特徴とする特許請求の範囲第1項記載の表示装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、薄膜トランジスタアレイを用いた表示装置において、大面積化および高解像度化を行う際の配線の低抵抗化および断線不良の低減の向上を期するようにした表示装置に関するものである。

〔従来の技術〕

上記の表示装置は通常2枚の対向基板の間に液晶あるいはエレクトロクロミック(以下、ECという)材料などの表示媒体を挟み、この表示媒体に電圧を印加する方法で構成される。

この際、少なくとも一方の基板にマトリクス状に配列した画素電極を設け、これらの画素を選択的に動作するために各画素毎にFET(電界効果トランジスタ)およびダイオードなどの非線形スイッチング素子を設けている。

従来、この種の表示装置を構成する薄膜トランジスタアレイは第3図および第4図に示すようなものがあつた。第3図は従来法により形成した薄膜トランジスタアレイの部分平面図、第4図は第3図のA-A部の断面図である。

この第3図、第4図の両図において、1は透明絶縁性基板、2は遮光膜、3はパッシベーション膜である。このパッシベーション膜3上にソース電極配線4とドレイン・面素電極5が形成されている。

また、パッシベーション膜3上に半導体膜6が形成されており、その上に順次ゲート絶縁膜7、ゲート電極8が形成されている。

液晶表示装置などのように透過型のディスプレイを形成する際、ソース電極・配線4およびドレイン・面素電極5はITO (Indium Tin Oxide) のような透明導電膜で同時形成する方法があるが、その上層に形成される半導体層などを、ソース電極およびドレイン電極の段差部分で切らずに形成するためには、ソース電極およびドレイン電極のITOの膜厚は薄い方がよく、通常1000Å位であつた。

〔発明が解決しようとする問題点〕

したがつて、表示面積が大きくなり、しかも高解像度なディスプレイを形成する際、ソース電極

数が小さくなり、高速動作を行う。

〔実施例〕

以下、この発明の表示装置の実施例について図面に基づき説明する。第1図はその一実施例の導膜トランジスタアレイで形成した平面図であり、第2図は第1図のB-B線の断面図である。この第1図および第2図において、第3図および第4図と同一部分には同一符号を付して説明する。

この第1図、第2図において、9は第2のソース配線、10はコンタクトホール、11はコンタクト膜であり、この部分がこの発明によつて新たに付加された部分である。

以下にこの発明の具体的な構成の製造工程を述べる。まずガラスなどの透明で高絶縁性の基板1を鏡面研磨しその表面を洗浄する。

次に、Alなどの低抵抗な金属、金属化合物あるいは金属合金を真空蒸着法などで堆積する。この後ホトリソグラフィなどの方法で、アイランド状の遮光膜2と同時にライン状の第2のソース配線9を形成する。

配線の抵抗が高くなる。たとえば、ソース配線を長さ10cmで巾30μmに形成した場合の抵抗は100KΩ以上となり、ここに信号を入力した場合信号の減衰が大きく、さらにその抵抗と入力容量（たとえば50pF以上）との積である時定数は10μsec以上となり、高周波動作が困難となる。また、1000Å程度の膜厚では断線が多発し、表示上不利となるといつた欠点があつた。

この発明は、かかる問題点を解決するためになされたもので、工程をほとんど増さずにソース配線の低抵抗化を行い、さらに断線不良を低減でき、かつ表示品質の高い表示装置を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係る表示装置は、遮光膜形成と同時に第1、第2のソース配線を形成して2層配線のソース配線を設けたものである。

〔作用〕

この発明においては、ソース配線が2層配線となることからソース配線抵抗を低減化でき、時定

次に、パッシベーション層3として、 Si_3N_4 や SiO_2 などの透明絶縁膜をCVD法などで形成し、パターンニングする。

次に、ソース電極・配線4およびドレイン・面素電極5をITOなどの透明導電膜を用いて形成し、さらにa-Si, p-Si, CdSeなどの半導体層6および Si_3N_4 , SiO_2 , Al_2O_3 などの絶縁膜でゲート絶縁膜7を形成する。

ここで、ソース電極・配線4およびパッシベーション膜3に透明導電膜で形成されたソース電極配線4と遮光膜2の形成と同時に形成された第2のソース配線9を接続するためのコンタクトホール10を形成する。そして、最後にAlなどの金属、金属化合物あるいは金属合金でゲート電極8を形成する。

このとき、同時に透明電極で形成されたソース電極・配線4と遮光膜2の形成と同時に形成した第2のソース配線9を接続するコンタクト膜11を形成する。

なお、このときゲート配線と本来のソース配線

の層間絶縁は半導体膜とゲート絶縁膜 7 がそれを兼ねている。

このようにして形成された薄膜トランジスタアレイ基板と他の透明電極およびカラーフィルタなどを有する基板との間に所定の間隔を保持し、これらの 2 枚の基板間に液晶や EC 材料などの表示媒体を挿入して、表示装置が完成する。

上記構成の薄膜トランジスタアレイおよび表示装置はソース電極配線 4 が金属、金属化合物あるいは金属合金と透明導電膜の 2 層で形成されているため、低抵抗化が可能であり、たとえば、第 2 のソース配線 9 に AL を用いたとき、ソース配線の長さが 10 cm で巾 20 μm で厚さ 3000 Å の場合の抵抗は 1 K Ω 以下となり、ITO 単独の場合より 2 桁以上低くすることができる。したがって、抵抗損失による信号の減衰がない。

また、その抵抗と入力容量の積である時定数も小さくなり、特に上記のように AL を用いた場合には時定数は 2 桁以上小さくなり、高周波での動作が可能となる。

置が得られる効果を奏する。

4. 図面の簡単な説明

第 1 図はこの発明の表示装置の一実施例を構成する薄膜トランジスタアレイの部分平面図、第 2 図は第 1 図の B-B 線の断面図、第 3 図は従来の表示装置を構成する薄膜トランジスタアレイの部分平面図、第 4 図は第 3 図の A-A 線の断面図である。

1 … 基板、2 … 遮光膜、3 … パッシベーション膜、4 … ソース電極配線、5 … ドレイン・画素電極、6 … 半導体膜、7 … ゲート絶縁膜、8 … ゲート電極、9 … 第 2 のソース配線、10 … コンタクトホール、11 … コンタクト膜。

なお、図中同一符号は同一または相当部分を示す。

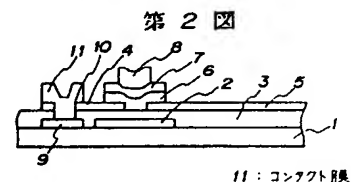
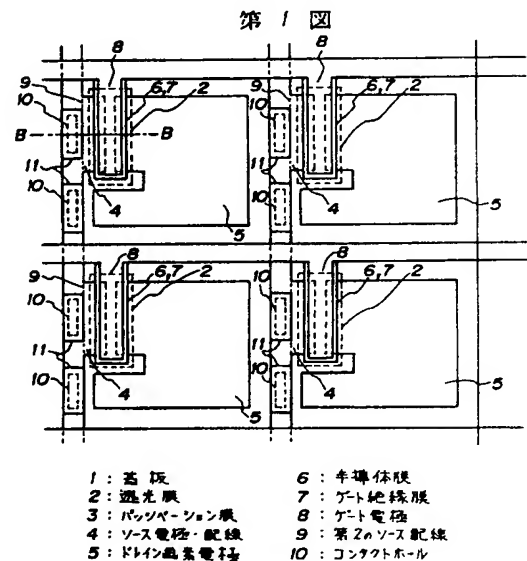
さらに、断線に対しても多重性があり、第 2 のソース配線 9 と透明導電膜で形成された本来のソース配線 4 のいずれか一方が断線しても、もう一方で導通を保持できる。そして、この両者が同じ場所で断線する確率は極めて小さいので、断線不良はほとんど皆無となる。

また、このようなソースの 2 層配線を行っても、工程としては従来のものよりパッシベーション膜 3 にコンタクトホール 10 を形成する工程が一つ増すだけである。

したがって、この発明を用いて大面積で高解像度の表示装置を形成すれば簡単な工程で極めて表示品質の高い表示装置が得られる。

〔発明の効果〕

この発明は以上説明したとおり、本来のソース配線以外に第 2 のソース配線を遮光膜と同時に形成して本来のソース配線との 2 層配線とするようにしたので、工程をほとんど増さずにソース配線の低抵抗化ができ、動作の高速化と断線不良を低減でき、これにともない、表示品質の高い表示装



代理人 大 岩 増 雄

特開昭 62-192783 (4)

手 続 補 正 書 (自 発)

61 8 25
昭和 年 月 日

特許庁長官殿

1. 事件の表示

特願昭 61-35668号

2. 発明の名称

表示装置

3. 補正をする者

事件との関係

特許出願人

住 所

東京都千代田区丸の内二丁目2番3号

名 称

(601) 三菱電機株式会社

代表者 志 岐 守 哉

4. 代 理 人

住 所

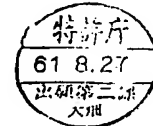
東京都千代田区丸の内二丁目2番3号

三菱電機株式会社内

氏 名

(7375) 弁理士 大 岩 増 雄

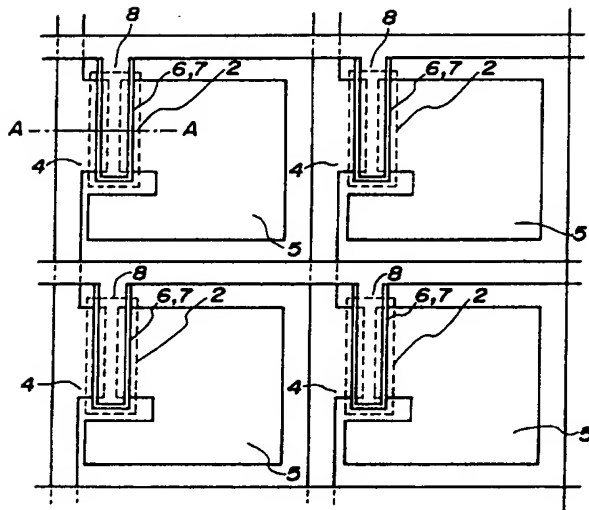
(連絡先 03(213) 3421 特許部)



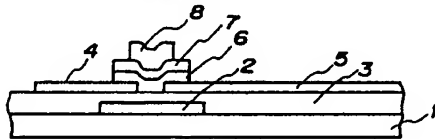
方 式
審 査

矢 代

第 3 図



第 4 図



5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

- (1) 明細書5頁9～10行の「リース配線」を
「ソース配線」と訂正する。
- (2) 同6頁2～3行の「形成し、パターンニング」
を「堆積」と訂正する。